

DATA SAVING SYSTEM

Publication number: JP6231053 (A)

Publication date: 1994-08-19

Inventor(s): YONEYAMA TADASHI

Applicant(s): TOSHIBA CORP

Classification:

- international: G06F1/26; G06F1/30; G06F12/16; G06F1/26; G06F1/30; G06F12/16; (IPC1-7): G06F12/16; G06F1/26; G06F1/30

- European:

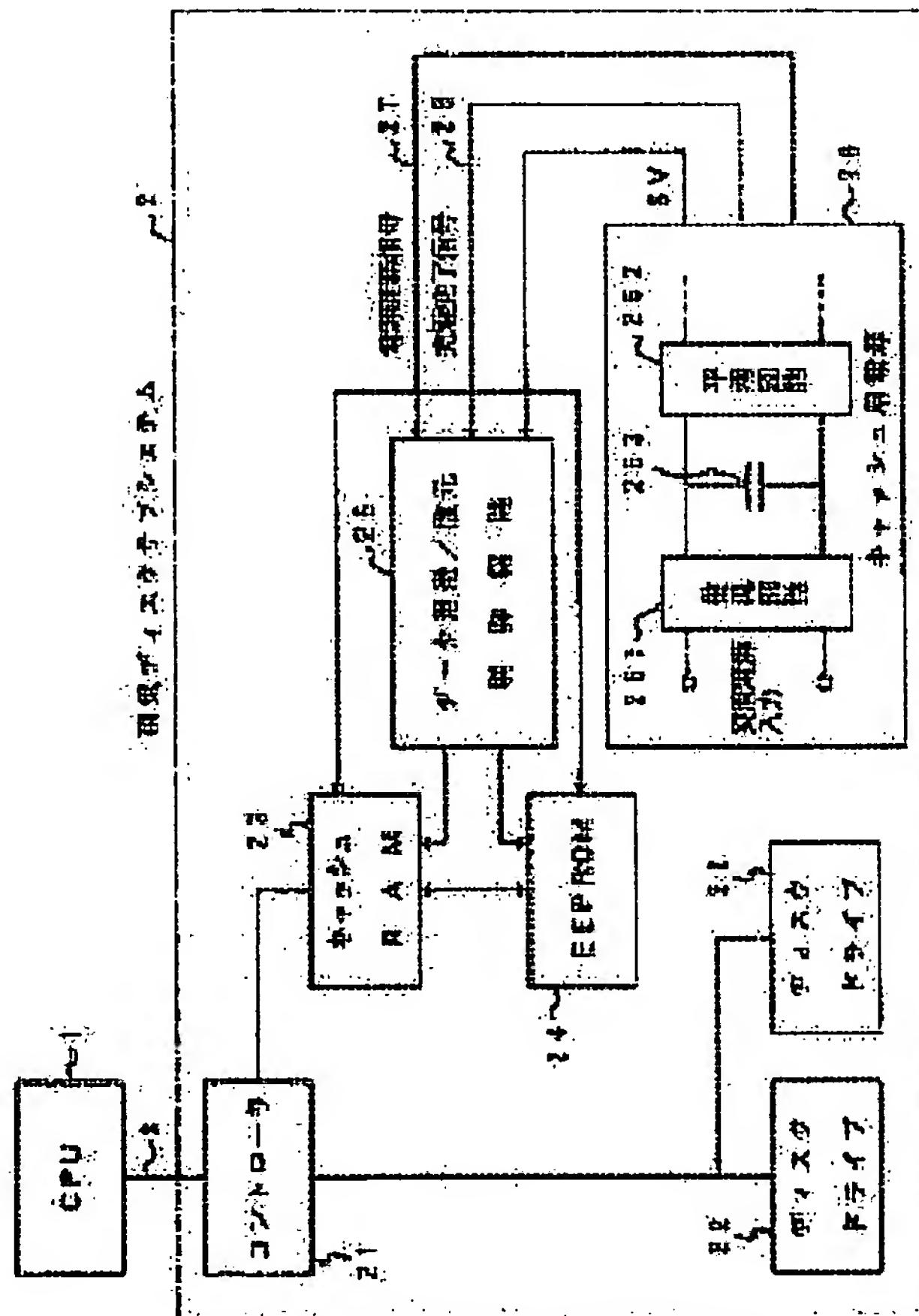
Application number: JP19930018586 19930205

Priority number(s): JP19930018586 19930205

Abstract of JP 6231053 (A)

PURPOSE: To prevent the storage data of a volatile memory from being deleted without using a battery back-up when a power source is interrupted.

CONSTITUTION: The interrupting period of a direct current power source output from a power source 26 for cache when interruption occurs, is delayed by (the discharge action of) a capacitor 263 connected with a smoothing circuit 262 in the power source 26 in parallel. At that time, the supply of the direct current power source from the power source 26 to a cache RAM 23, EEPROM 24, and data saving/restoration control circuit 25 is continued regardless of the occurrence of interruption. Also, at the time of the interruption (direct current power source interruption), a power source interruption signal 27 is outputted from the power source 26. Then, the data saving/restoration control circuit 25 operates data saving from the cache RAM 23 to the EEPROM 24. On the other hand, at the time of restoration from the power source interruption, the data saving/restoration control circuit 25 waits for the end of the change of the capacitor 263, and operates data restoration from the EEPROM 24 to the cache RAM 23.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-231053

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

G 0 6 F 12/16
1/26
1/30

識別記号 庁内整理番号
3 4 0 Q 7629-5B

F I

技術表示箇所

7165-5B
7165-5B

G 0 6 F 1/ 00

3 3 1 E
3 4 1 M

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号

特願平5-18586

(22)出願日

平成5年(1993)2月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 米山 正

東京都府中市東芝町1番地 株式会社東芝
府中工場内

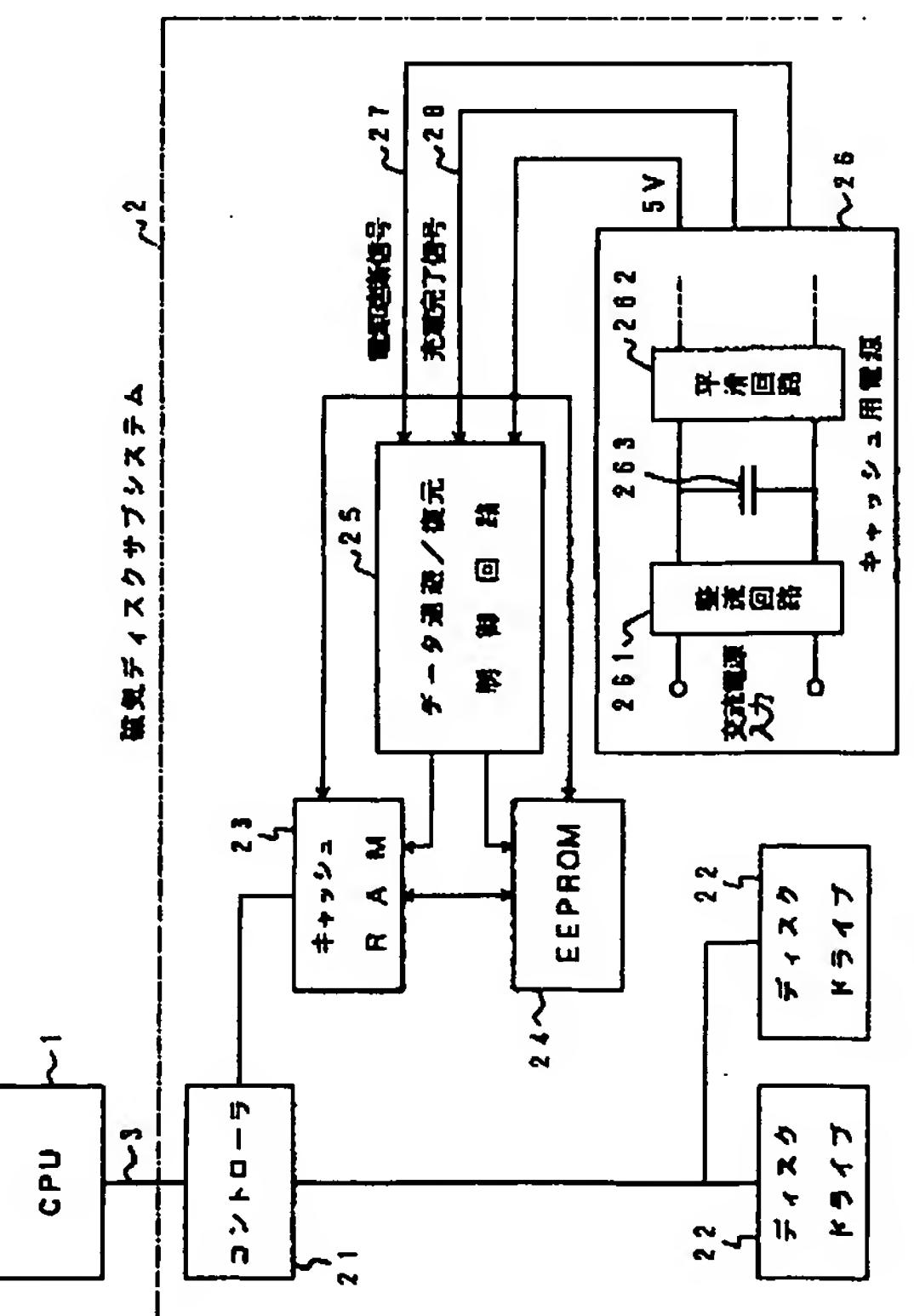
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 データ退避方式

(57)【要約】

【目的】電源遮断時に揮発性メモリの記憶データが消失するのを、バッテリバックアップを用いて防止できるようにする。

【構成】停電発生におけるキャッシュ用電源26からの直流電源出力の遮断時期は、同電源26内の平滑回路262に並行接続されたコンデンサ263(の放電作用)により遅延され、その間は、停電発生にも拘らず、電源26からキャッシュRAM23、EEPROM24およびデータ退避/復元制御回路25への直流電源供給が継続される。また停電(交流電源遮断)時には、電源26から電源遮断信号27が出力される。するとデータ退避/復元制御回路25は、キャッシュRAM23からEEPROM24へのデータ退避を行う。一方、電源遮断からの復帰時には、データ退避/復元制御回路25はコンデンサ263の充電完了を待って、EEPROM24からキャッシュRAM23へのデータ復元を行う。



【特許請求の範囲】

【請求項1】 読出し／書込み可能な揮発性メモリを備えた情報処理機器において、前記揮発性メモリの記憶データを退避するのに用いられる不揮発性メモリと、前記揮発性メモリから前記不揮発性メモリへのデータ退避を制御する制御回路と、交流電源をもとに直流電源を発生して、同直流電源を少なくとも前記揮発性メモリ、前記不揮発性メモリおよび前記制御回路に供給する電源装置であって、前記交流電源の通電開始時に充電し、遮断時に放電することにより、前記交流電源の遮断後も前記直流電源の供給を短時間継続するための大容量コンデンサを内蔵した電源装置とを具備し、前記制御回路は、前記交流電源の遮断時に起動され、前記電源装置から前記コンデンサの放電により継続して供給される前記直流電源を受けて前記揮発性メモリの記憶データを前記不揮発性メモリに退避するように構成されていることを特徴とするデータ退避方式。

【請求項2】 前記制御回路は、前記電源装置の交流電源遮断からの復帰時に、前記コンデンサの充電完了に応じて、前記不揮発性メモリから前記揮発性メモリへのデータ復元を行うことを特徴とする請求項1記載のデータ退避方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、読み出し／書き込み可能な揮発性メモリを備えた情報処理機器に係り、特に電源遮断時に揮発性メモリのデータを不揮発性メモリに退避することにより揮発性メモリのデータが消失するのを防止するようにしたデータ退避方式に関する。

【0002】

【従来の技術】 近年の計算機システムのディスクサブシステムには、ディスクアクセスの高速化のために、ディスクキャッシュ方式を適用したものが多い。このディスクキャッシュ方式は、ディスクデータの一部の写しが置かれるRAM（揮発性メモリ）構成のディスクキャッシュ（キャッシュRAM）を備え、同キャッシュに目的データが存在する場合には、ディスク装置をアクセスしなくとも、目的データが得られるようにしたものである。ディスクキャッシュ方式には、ライトアクセスの相違により、ライトスルーキャッシュ方式とライトバックキャッシュ方式の2つがある。

【0003】 ライトスルーキャッシュ方式は、キャッシュRAMにデータを書込むと同時に、ディスクへもデータを書込む方式であり、キャッシュRAMの内容とディスクの該当する内容は常に一致している。

【0004】 これに対し、ライトスルーキャッシュ方式は、キャッシュRAMにデータを書込んだ時点で（要求された）書き込みの終了とし、キャッシュRAMからディスクへの書き込みは負荷（処理状況）との関係を見ながら

負荷の少ない期間に適宜行う方式である。この方式は、ディスクへの書き込み動作の性能が著しく向上することから、ディスクキャッシュ方式の主流となっている。

【0005】 このライトバックキャッシュ方式を適用する上で最も注意しなければならない点は、停電等が発生した場合にはキャッシュRAMのデータが消失することから、このキャッシュRAMにディスクへの書き込みが行われていないデータが存在していると問題になるということである。

【0006】

【発明が解決しようとする課題】 上記したように、ライトバックキャッシュ方式を適用するディスクサブシステムでは、ディスクへの書き込み動作の性能が著しく向上するものの、停電等が発生するとキャッシュRAMのデータが消失するために、キャッシュRAMにディスクへの未書き込みデータが存在する場合には問題であった。そこで、この問題を解決する方式として、従来より次の2つが知られていた。

【0007】 第1は、ディスクキャッシュの記憶素子に、RAMではなくて不揮発性メモリを使用する方式である。しかし、この第1の方式では、不揮発性メモリの書き込み速度がRAMに比べてあまりにも遅いため、性能的にディスクキャッシュとして満足できないという問題があった。

【0008】 第2は、記憶装置に従来通りRAMを使用し、電源遮断時には、充電式バッテリを用いた電源バックアップにより、このRAM（キャッシュRAM）への電源供給を継続することで、RAMの記憶データが消失するのを防ぐ方式である。しかし、この第2の方式では、充電式バッテリの寿命が短く、交換回数が多くなるという問題があった。

【0009】 この発明は上記事情を考慮してなされたものでその目的は、記憶装置に揮発性メモリ（RAM）を用いていても、電源遮断時には、その揮発性メモリの記憶データを不揮発性メモリに退避することによりデータ消失を防ぐことができ、しかもバッテリバックアップを用いないで済むデータ退避方式を提供することにある。

【0010】

【課題を解決するための手段】 この発明は、揮発性メモリを備えた情報処理機器に、不揮発性メモリと、上記揮発性メモリから不揮発性メモリへのデータ退避を制御する制御回路と、交流電源をもとに直流電源を発生して、揮発性メモリ、不揮発性メモリおよび制御回路に供給する電源装置であって、交流電源の通電開始時に充電し、遮断時に放電することにより、交流電源の遮断後も直流電源の供給を短時間継続するための大容量コンデンサを内蔵した電源装置とを設けると共に、上記の制御回路が、交流電源の遮断時に起動されて、電源装置からコンデンサの放電により継続して供給される直流電源を受けて揮発性メモリから不揮発性メモリへのデータ退避を行

う構成としたことを特徴とするものである。

【0011】また、この発明は、上記電源装置の交流電源遮断からの復帰時に、上記制御回路が、コンデンサの充電完了に応じて、不揮発性メモリから揮発性メモリへのデータ復元を開始する構成としたことをも特徴とする。

【0012】

【作用】上記の構成において、停電等により電源装置の交流電源が遮断すると、制御回路が起動される。このとき、電源装置に内蔵のコンデンサは、交流電源が遮断されたことから放電を開始する。これにより、電源装置から揮発性メモリ、不揮発性メモリおよび制御回路等へ供給される直流電源が遮断するのが遅延され、短時間ではあるものの、直流電源供給が継続される。制御回路は、このコンデンサの放電に伴う直流電源供給を受けて、交流電源の遮断時より揮発性メモリの記憶データを不揮発性メモリに退避する。このデータ退避は短時間で行えるため、電源装置に内蔵のコンデンサにより直流電源の遮断時期を少し遅延（揮発性メモリの容量が16MBの例では、約8秒）するだけで、揮発性メモリの記憶データが消失するのを防止することができる。

【0013】次に、停電等から復帰して、電源装置に交流電源が通電されるようになると、放電していたコンデンサへの充電が開始され、その充電完了に応じて制御回路が再起動される。すると制御回路は、不揮発性メモリに退避されていたデータを揮発性メモリに復元する。これにより、通常の運転が可能となる。

【0014】

【実施例】図1はこの発明のデータ退避方式を計算機システムの磁気ディスクサブシステムに実施した場合の一実施例を示すブロック構成図である。

【0015】同図において、1は計算機システムの中核をなすCPU1、2はライトバックキャッシュ方式を適用した磁気ディスクサブシステムである。CPU1と磁気ディスクサブシステム2とはI/Oバス3により接続されている。

【0016】磁気ディスクサブシステム2は、同システム2全体を制御するコントローラ21と、このコントローラ21によりアクセス制御される例えば2台のディスクドライブ22と、例えば16MB（メガバイト）のRAM構成のディスクキャッシュ（以下、キャッシュRAMと称する）23とを有している。このキャッシュRAM23は、ディスクドライブ22（に装着されている記憶媒体であるディスク）の記憶データの一部の写しを保持するのに用いられる。

【0017】磁気ディスクサブシステム2はまた、キャッシュRAM23の記憶データを退避するのに用いられる（キャッシュRAM23と同一容量の）読み出し／書き込み可能な不揮発性メモリ、例えばEEPROM（電気的消去可能なPROM）24と、キャッシュRAM23か

らEEPROM24へのデータ退避およびEEPROM24からキャッシュRAM23へのデータ復元を制御するデータ退避／復元制御回路25と、交流電源（商用電源）から例えば定格3.5A、5Vの直流電源を発生するキャッシュ用電源26とを有している。このキャッシュ用電源26で発生された直流電源は、キャッシュRAM23、EEPROM24およびデータ退避／復元制御回路25の駆動電源として、これらに供給される。

【0018】キャッシュ用電源26は、交流を整流する整流回路261と整流電圧を平滑化する平滑回路262との間に設けられた大容量コンデンサ263を内蔵する。このコンデンサ263は平滑回路262に並列接続され、キャッシュ用電源26への交流電源通電時に充電され、交流電源遮断時に放電される。

【0019】コンデンサ263は、交流電源遮断時の放電作用により、交流電源が遮断されても直ちに直流電源が遮断せず、直流電源出力が短時間継続するように（即ち直流電源遮断時期を遅延させるように）設けられたものである。コンデンサ263の容量は、この放電時間（直流電源遮断の遅延時間）が、キャッシュRAM23からEEPROM24へのデータ退避に要する時間（ここでは、約7秒）を十分上回る時間となるように選定される必要がある。この例では、コンデンサ263の容量は5,610μFであり、この場合、交流電源遮断に伴う直流電源遮断時期を約8秒遅らせることが可能となる。なお、上記のコンデンサ263を用いなかった場合の遅延時間は、平滑回路262中のコンデンサの容量が300μFの例では、約400ミリ秒である。

【0020】キャッシュ用電源26は、停電等に起因した交流電源遮断を検出して電源遮断信号27を出力する周知の機能の他、交流電源の通電開始によりコンデンサ263への充電が行われた際に、その充電電圧が所定レベル以上となったことを（図示せぬ充電完了検出回路により）検出して充電完了信号28を出力する機能を有する。この電源遮断信号27および充電完了信号28はデータ退避／復元制御回路25に供給される。なお、図1では、コントローラ21に電源を供給するコントローラ用電源等は省略されている。次に、図1中の磁気ディスクサブシステム2の動作を説明する。

【0021】ライトバックキャッシュ方式を適用する磁気ディスクサブシステム2では、CPU1からディスクドライブ要求があった場合、キャッシュRAM23にデータを書込んだ時点で、コントローラ21からCPU1に対して書込み終了が報告される。そして、ディスクドライブ22への書込みは、負荷の軽いときを見計らって行われる。

【0022】このようなライトバックキャッシュ方式では、ディスクライトアクセスの性能向上は図れるものの、停電等が発生して、もしキャッシュRAM23への電源供給が無くなると、キャッシュRAM23の記憶デ

ータは消失するため、ディスクドライブ22（に装着されているディスク）内の未書き込みデータ（未更新データ）を正しいデータに書換えることは不可能となる。

【0023】しかし本実施例では、停電等が発生した場合に、キャッシュ用電源26内のコンデンサ263の作用による直流電源遮断の遅延を利用して、キャッシュRAM23の記憶データをEEPROM24に退避しておき、停電等からの復帰時に、その退避データによりキャッシュRAM23の内容を復元できるようにしている。以下、停電時のデータ退避動作および停電からの復帰時のデータ復元動作を、図2および図3のフローチャートを参照して説明する。

【0024】まず、停電が発生して、キャッシュ用電源26に入力される交流電源が遮断すると、キャッシュ用電源26（内の図示せぬ電源遮断検出回路）によりその旨が検出され、データ退避／復元制御回路25に電源遮断信号27が出力される（ステップS1）。

【0025】また、キャッシュ用電源26においては、交流電源が遮断されたことから、コンデンサ263の放電が開始される。この結果、交流電源が遮断されても、このコンデンサ263の放電が終了するまでの期間は、コンデンサ263からの放電電流に従いキャッシュ用電源26からの直流電源出力が継続され、キャッシュRAM23、EEPROM24およびデータ退避／復元制御回路25へ直流電源が供給される（ステップS2）。

【0026】データ退避／復元制御回路25は、キャッシュ用電源26からの電源遮断信号27により起動され、キャッシュRAM23の記憶データをEEPROM24に転送して書込む処理、即ちキャッシュRAM23の記憶データをEEPROM24に退避するデータ退避処理を行う（ステップS3）。この退避処理に要する時間は、キャッシュRAM23およびEEPROM24の容量が16MBの本実施例では、約7秒である。これに対し、コンデンサ263の放電時間（交流電源遮断に伴う直流電源遮断の遅延時間）は、その容量を5,610μFとした場合、約8秒である。したがって、上記のデータ退避処理の間は、キャッシュ用電源26内のコンデンサ263の放電動作により、キャッシュ用電源26からキャッシュRAM23、EEPROM24およびデータ退避／復元制御回路25への直流電源供給が確実に継続され、データ退避処理は確実に実行される。

【0027】次に、停電から復帰して、キャッシュ用電源26に交流電源が通電されるようになると、キャッシュ用電源26内のコンデンサ263への充電が開始される。そして、コンデンサ263の充電電圧が所定レベル以上となって充電が完了すると（本実施例では約30秒で充電完了）、キャッシュ用電源26（内の図示せぬ充電完了検出回路）によりその旨が検出され、データ退避／復元制御回路25に充電完了信号28が出力される（ステップS11）。

【0028】データ退避／復元制御回路25は、キャッシュ用電源26からの充電完了信号28により再起動され、先程とは逆に、EEPROM24に退避しておいたデータをキャッシュRAM23に転送して書込む処理、即ちキャッシュRAM23の内容を停電直前の状態に復元するデータ復元処理を行う（ステップS12）。このデータ復元処理が完了すると、磁気ディスクサブシステム2の通常の運転が可能となる。

【0029】なお、前記実施例では、停電時等においてキャッシュ用電源26からの直流電源出力が直ちに遮断されるのを防ぐために、更に具体的に述べるならば、直流電源が遮断されるのを遅延させて、その遅延時間内にキャッシュRAM23からEEPROM24へのデータ退避が行えるようにするために、平滑回路262に並列に大容量コンデンサ263を設けた場合について説明したが、これに限るものではない。例えば、平滑回路262に含まれるコンデンサに大容量コンデンサを用いるようにしても構わない。

【0030】以上は、磁気ディスクサブシステム2内のキャッシュRAM23の記憶データが停電時に消失するのを防ぐために、キャッシュRAM23の記憶データを停電時に不揮発性メモリ（EEPROM24）に退避する場合について説明したが、この発明は、キャッシュRAM23に限らず、揮発性メモリ全般について、停電時の記憶データ消失防止に適用可能である。

【0031】

【発明の効果】以上詳述したようにこの発明によれば、揮発性メモリを備えた情報処理機器に、不揮発性メモリと、揮発性メモリから不揮発性メモリへのデータ退避を制御する制御回路とを設けると共に、これら揮発性メモリ、不揮発性メモリおよび制御回路等に直流電源を供給する電源装置内に、交流電源の通電開始時に充電し、遮断時に放電することにより、交流電源の遮断に伴う直流電源遮断時期を遅延させるための大容量コンデンサを設け、この直流電源遮断の遅延時間内に、制御回路の制御により、揮発性メモリから不揮発性メモリへのデータ退避を行う構成としたので、停電等が発生しても、揮発性メモリの記憶データが消失するのを防止することができ、しかもバッテリによるバックアップ方式を用いないために保守も簡単となる。

【図面の簡単な説明】

【図1】この発明のデータ退避方式を計算機システムの磁気ディスクサブシステムに実施した場合の一実施例を示すブロック構成図。

【図2】同実施例における停電時のデータ退避動作を説明するためのフローチャート。

【図3】同実施例における停電からの復帰時のデータ復元動作を説明するためのフローチャート。

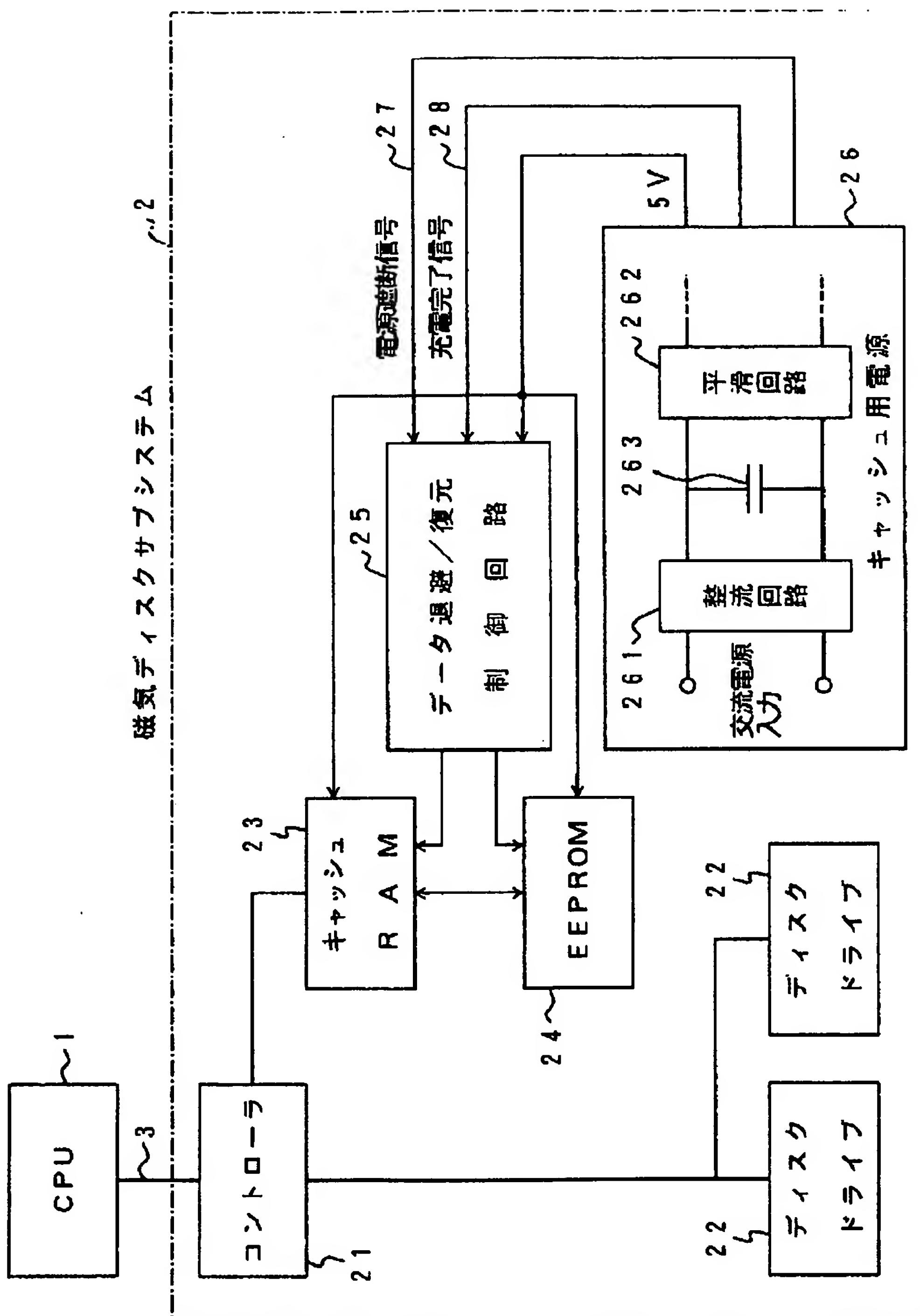
【符号の説明】

1…CPU、2…磁気ディスクサブシステム、21…コ

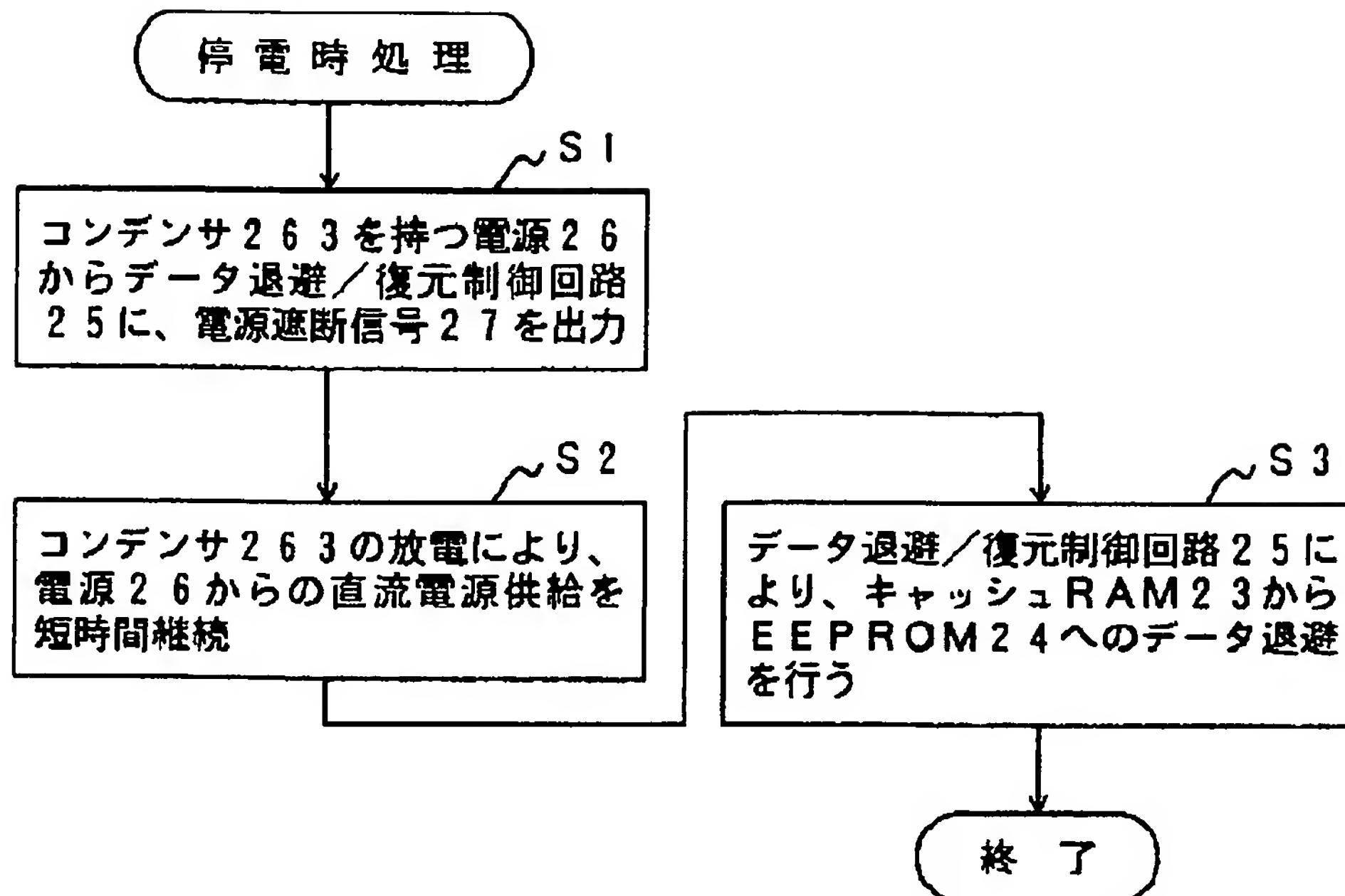
・コントローラ、22…ディスクドライブ、23…キャッシュRAM（揮発性メモリ）、24…EEPROM（不揮発性メモリ）、25…データ退避／復元制御回路、26

…キャッシュ用電源、261…整流回路、262…平滑回路、263…コンデンサ。

【図1】



【図2】



【図3】

